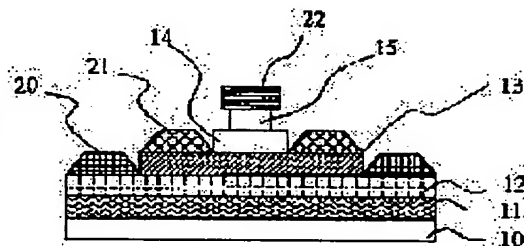


**(43)Date of publication of application : 24.11.2000**

H01L 29/205

(72)Inventor : FURUHATA NAOKI

**SOLUTION:** As for the heterojunction bipolar transistor having a III-V compd. semiconductor-made n-type collector layer 12, a p-type base layer 13, and an n-type emitter layer 14 having a wider in bit band than that of the base layer 13 on a semiconductor substrate 10, the base layer 13 is doped with impurities composed of atoms other than those in groups III or V, one impurity having a larger atomic radius and the other having a atomic radius smaller than that of atoms constituting the base layer 13.



\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]In a heterojunction bipolar transistor which has a n type emitter layer with larger forbidden-band width than a n type collector layer, a p type base layer, and this p type base layer which consist of a group-III-V-semiconductor film on a semiconductor substrate, It is an impurity which comprises an atom applicable to neither III fellows nor V fellows as a p type dopant of said p type base layer, A heterojunction bipolar transistor, wherein an impurity with a larger atomic radius than an atom which constitutes said p type base layer, and a small impurity are doped.

[Claim 2]Said n type collector layer and a sub collector layer by which a n type impurity was doped by concentration more than  $1 \times 10^{18} \text{cm}^{-3}$  between said semiconductor substrates are formed, The heterojunction bipolar transistor according to claim 1, wherein a collector electrode is formed on this sub collector layer.

[Claim 3]On said n type emitter layer, forbidden-band width is smaller than an emitter layer, and it has an emitter cap layer formed by a compound semiconductor by which a n type impurity was doped as for more than  $1 \times 10^{18} \text{cm}^{-3}$ , Claim 1, wherein an emitter electrode is formed on this emitter cap layer, or a heterojunction bipolar transistor given in dyadic.

[Claim 4]On a semiconductor substrate, use a group III-V semiconductor, and A n type collector layer, In a process into which it is a manufacturing method of a heterojunction bipolar transistor which has a process which grows epitaxially a n type emitter layer with larger forbidden-band width than a p type base layer and this p type base layer one by one, and said p type base layer is grown up, A manufacturing method of a heterojunction bipolar transistor doping an impurity with a larger atomic radius than an atom which constitutes this p type base layer, and a small impurity.

[Claim 5]A manufacturing method of the heterojunction bipolar transistor according to claim 4 characterized by comprising the following.

Said semiconductor substrate.

A process into which a n type impurity grows epitaxially a sub collector layer doped by concentration more than  $1 \times 10^{18} \text{cm}^{-3}$  between said n type collector layers.

[Claim 6]On said n type emitter layer, forbidden-band width is smaller than an emitter layer, A manufacturing method of a heterojunction bipolar transistor the 4th or given in 5 paragraphs with which a n type impurity is characterized by having a process which grows epitaxially an emitter cap layer doped by concentration more than  $1 \times 10^{18} \text{cm}^{-3}$ .

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

[Field of the Invention]Especially this invention relates to a heterojunction bipolar transistor for high-reliability operation, and a manufacturing method for the same about a heterojunction bipolar transistor and a manufacturing method for the same.

[0002]

[Description of the Prior Art]Promising \*\* of the application to the high frequency element and high-output element of mobile communications equipment or an optical fiber communications system from the outstanding high frequency characteristic and high current driving capacity is carried out, and the heterojunction bipolar transistor (referred to as HBT below) using a group III-V semiconductor is already put in practical use in part. When putting in practical use, improvement in reliability is important and research on reliability has been actively done from the former also in HBT.

[0003]Degradation of the reliability in HBT appears by the phenomenon of decline in current gain during an elevated-temperature energization examination, and, in many cases, the increase in base current is seen. As this cause, diffusion of the p type dopant in a base layer, the increase in the recombination current of a base surface, the further defective-formation in a base layer, etc. can be considered. Then, it is common to provide a hetero guard ring which converts into the carbon C with a small diffusion coefficient, or projects an emitter end over a base surface ledged, and makes exposure of a base surface small these days from the beryllium Be which is easy to diffuse a base dopant.

[0004]Although the reliability of HBT has improved considerably with such a measure, when a high current which is used, for example with a power device is sent, degradation of an element breaks out too.

[0005]Since the impurity is doped by the base layer at high concentration as this main cause is indicated in the not diffusion but following literature of the impurity, Distortion arises from the difference in an atomic radius in a base layer, and a defect like a rearrangement occurs, It is thought that that is a recombination center (an eye, Di, E, and em 1995 811 pages of technical digest;T. Henderson;EDM 1995, Technical Digest p811;T.Henderson).

[0006]For example, in a GaAs base layer, although Be and C are used as a p type dopant, these have an atomic radius smaller than Ga and As, and the part and a lattice become small. In order to ease this distortion, the method of adding an III-V group element with a larger atomic radius than Ga and As in a base layer is tried as indicated by JP,05-299432,A or JP,06-037105,A.

[0007]Drawing 6 shows typically the structure of the heterojunction bipolar transistor formed by the above conventional methods. On the semi insulating GaAs substrate 50, The buffer layer 51, the sub collector layer (n-GaAs) 56, the collector layer (n-GaAs) 52, the base layer (p-GaAs) 53, the emitter layer (n-AlGaAs or n-InGaP) 54, and the emitter cap layer (n<sup>+</sup>-GaAs) 55 are formed one by one, On the emitter cap layer (n<sup>+</sup>-GaAs) 55, On the collector layer (n-GaAs) 52, the collector electrode (nickel/AuGe/Au alloy) 60 is formed, and the base electrode (Ti/Pt/Au) 61 is formed for the emitter electrode (WSi) 62 on the base layer (p-GaAs) 53, respectively.

[0008]Here, In with a larger atomic radius than Ga and As and Sb are added by the base layer (p-GaAs) 53. This is easing distortion.

[0009]

[Problem(s) to be Solved by the Invention]Although the method of adding In and Sb with a larger atomic radius than Ga and As in the base layer mentioned above is effective in respect of lattice relaxation, since In and Sb are atoms which constitute a group III-V semiconductor, when it adds to GaAs, they form InAs and GaSb selectively.

[0010]These compounds have forbidden-band width smaller than GaAs, and the band structure of GaAs itself changes. Therefore, the problem that ON voltage changes, or the band gap by the side of a collector becomes large, and an electronic running characteristic worsens arises.

[0011]In view of an aforementioned problem, the purpose of this invention maintains high-reliability and aims at providing the heterojunction bipolar transistor that moreover a device property does not deteriorate.

[0012]

[Means for Solving the Problem]In a heterojunction bipolar transistor in which this invention has a n type emitter layer with larger forbidden-band width than a n type collector layer, a p type base layer, and this p type base layer which consist of a group-III-V-semiconductor film on a semiconductor substrate, It is an impurity which comprises an atom applicable to neither III fellows nor V fellows as a p type dopant of said p type base layer, It is related with

a heterojunction bipolar transistor, wherein an impurity with a larger atomic radius than an atom which constitutes said p type base layer, and a small impurity are doped.

[0013]In said heterojunction bipolar transistor, between said n type collector layer and said semiconductor substrate, It is preferred that a sub collector layer by which a n type impurity was doped by concentration more than  $1 \times 10^{18} \text{cm}^{-3}$  is formed, and a collector electrode is formed on this sub collector layer.

[0014]In said heterojunction bipolar transistor, on said n type emitter layer, Forbidden-band width is smaller than an emitter layer, and it is preferred that a n type impurity is provided with an emitter cap layer formed by a compound semiconductor which was doped as for more than  $1 \times 10^{18} \text{cm}^{-3}$ , and an emitter electrode is formed on this emitter cap layer.

[0015]A group III-V semiconductor is used for this invention on a semiconductor substrate. It is a manufacturing method of a heterojunction bipolar transistor which has a process which grows epitaxially a n type emitter layer with larger forbidden-band width than a n type collector layer, a p type base layer, and this p type base layer one by one. In a process into which said p type base layer is grown up, it is related with a manufacturing method of a heterojunction bipolar transistor doping an impurity with a larger atomic radius than an atom which constitutes this p type base layer, and a small impurity.

[0016]According to this invention, if a GaAs base layer is taken for an example, by adding as a p type dopant combining an impurity with a larger atomic radius than Ga and As, and a small impurity, a difference in a grating constant is offset and distortion can be eased. Therefore, a crystal defect by distortion is not generated but high-reliability operation is attained.

[0017]And since these impurities do not constitute a group III-V semiconductor, it does not have big influence on band structure of GaAs. Since both of the impurities moreover act as a p type dopant, a device property does not deteriorate.

[0018]

[Embodiment of the Invention]The embodiment of this invention is explained in full detail below, referring to the attached drawing that the above-mentioned purpose, the feature, and advantage of this invention should be made clear.

[0019]Each example may be suitably changed within the limits of the technical thought of this invention, without limiting this invention to following embodiments.

[0020]The composition sectional view of one embodiment of the heterojunction bipolar transistor of this invention is shown in drawing 1.

[0021]In the figure, the buffer layer 11 (100 nm) which consists of i-GaAs or i-AlGaAs is formed on the semi insulating GaAs substrate 10. The n-GaAs collector layer 12 (1000 nm) which  $5 \times 10^{17} \text{cm}^{-3}$ -doped Si is formed on this buffer layer 11. On the collector layer 12, p-GaAs base layer 13 (80 nm) which doped C(atomic radius: 0.77A)  $2 \times 10^{19} \text{cm}^{-3}$  and Mg(atomic radius: 1.40A)  $2 \times 10^{19} \text{cm}^{-3}$  is formed. The atomic radii of Ga and As are 1.26 A and 1.18A, respectively, and an impurity with a larger atomic radius than the atom in which Mg constitutes the base layer 13, and C are doped by the base layer 13 as an impurity with a small atomic radius.

[0022]Here, in the above-mentioned example, the doping ratio of an impurity with a large atomic radius and an impurity with a small atomic radius can be suitably decided according to the characteristic of a desired transistor, although it is impurity =1:1 with a small impurity:atomic radius with a large atomic radius. The impurity with a large atomic radius in the usual case: The range of impurity =30:70 - 70:30 with a small atomic radius is suitable.

[0023]Impurity plurality with a large impurity with a large atomic radius and a small combination of impurity plurality are also possible.

[0024]On the base layer 13, n-AlGaAs or n-InGaP emitter layer 14 (100 nm) which  $3 \times 10^{17} \text{cm}^{-3}$ -doped Si is formed. On the emitter layer 14, in order to take an emitter electrode, forbidden-band width is smaller than the emitter layer 14, and  $n^+$ -GaAs emitter cap layer 15 (100 nm) which doped Si to high concentration (more than  $1 \times 10^{18} \text{cm}^{-3}$ ) is formed. More than  $1 \times 10^{18} \text{cm}^{-3}$  of the concentration of Si is preferred.

[0025]Furthermore, the collector electrode 20 which consists of nickel/AuGe/an Au alloy, the base electrode 21 which consists of Ti/Pt/an Au alloy on the base layer 13, and the emitter electrode 22 which consists of WSi(s) on the emitter cap layer 15 are formed on the collector layer 12, respectively.

[0026]When the reliability trial was done on collector voltage 3V and collector current density  $2 \times 10^4 \text{A/cm}^2$  and conditions with a junction temperature of 200 \*\*, a device property did not change the heterojunction bipolar transistor shown in drawing 1 for continuation 1000 hours. Base resistance showed 50 ohms and a low value, and the maximum frequency of oscillation (fmax) showed not less than 200 GHz as a high frequency characteristic.

[0027]Thus, rather than the atom which constitutes the layer in a base layer, by doping an impurity with a large atomic radius, and an impurity with a small atomic radius, distortion by the difference in a grating constant was eased, and the above high-reliability was able to be acquired. Since the doped impurity is not an element which constitutes a group III-V semiconductor, ON voltage does not change with doping and an electronic running characteristic does not get worse.

[0028]In addition to the lamination of the heterojunction bipolar transistor shown in drawing 1, the sub collector layer which doped the n type impurity to high concentration can be provided between a semiconductor substrate and a collector layer.

[0029]The composition sectional view of a heterojunction bipolar transistor in which the sub collector layer was provided is shown in drawing 2. Although the figure takes the completely same lamination as drawing 1 except having

formed the n-GaAs sub collector layer 16 as for which more than  $1 \times 10^{18} \text{cm}^{-3}$  doped Si under the collector layer, and having formed the collector electrode 20 on the sub collector layer 16, By adopting such a structure, collector resistance can be reduced and a device property can be improved further.

[0030] It is also possible to reduce emitter resistance further to the heterojunction bipolar transistor of drawing 2.

The structure shown in drawing 3 forms  $n^+$ -InGaAs layer 17 as for which more than  $1 \times 10^{18} \text{cm}^{-3}$  doped not only  $n^+$ -GaAs but Si as an emitter cap layer for such a purpose. The other lamination is completely the same as that of the structure of drawing 2. Forbidden-band width of InGaAs is still narrower than GaAs, heavy doping is possible for it, and by taking such lamination, it can reduce emitter resistance further and can improve a device property.

NONAROIO MIKKU with an emitter electrode can also be taken.

[0031] In the above-mentioned embodiment, if the thickness of GaAs, InGaAs, AlGaAs, and InGaP, doping concentration, and a presentation are adapted for the purpose of this structure, they are arbitrary.

[0032] Although Si is used as a n type impurity and the combination of C and Mg is used as a p type impurity, as a n type impurity, it is usable in Se and Sn and usable as a p type impurity in all the things that there is also combination of C, Zn, Be, Mg, etc. and suit the main point of this invention.

[0033] Not only GaAs but Si may be used as a substrate.

[0034] It is altogether usable if the alloy used for an electrode is also adapted for the purpose.

[0035] Next, the manufacturing method of the heterojunction bipolar transistor of this invention is explained in full detail, while an example is shown.

[0036] The manufacturing method of the heterojunction bipolar transistor of this invention is explained using drawing 4 and drawing 5. In the figure, on the semi insulating GaAs substrate 10, use molecular beam epitaxy method (MBE) and with the substrate temperature of 600 \*\*. The buffer layer 11 (100 nm) which consists of i-GaAs, and the n-GaAs collector layer 12 (1000 nm) which  $5 \times 10^{17} \text{cm}^{-3}$ -doped Si are grown up.

[0037] Then, p-GaAs base layer 13 (80 nm) is grown up, doping Be:  $2 \times 10^{19} \text{cm}^{-3}$  and Mg:  $2 \times 10^{19} \text{cm}^{-3}$  simultaneously. The n-AlGaAs emitter layer 14 (100 nm) which furthermore  $3 \times 10^{17} \text{cm}^{-3}$ -doped Si,  $n^+$ -GaAs emitter cap layer 15 (100 nm) as for which more than  $5 \times 10^{18} \text{cm}^{-3}$  doped Si is grown up in this order (drawing 4 (a)).

[0038] Next, the emitter electrode 22 which consists of WSi(s) is formed by weld slag, and a mask is carried out by the photoresist (PR) 23, and it is processed by dry etching. Furthermore,  $n^+$ -GaAs emitter cap layer 15 and the n-AlGaAs emitter layer 14 are etched using wet etching. At this time, it leaves 40 nm of emitter layers (drawing 4 (b)).

[0039] Subsequently, a mask is carried out by the photoresist (PR) 24, wet etching of the unnecessary base layer is carried out, and the collector layer 12 is exposed (drawing 4 (c)).

[0040] Next, the opening only of the base electrode parts is carried out, they carry out etching removal of the emitter layer 14 in this opening, and expose the base layer 13. The base electrode 21 which becomes the portion which this base layer 13 exposed from Ti/Pt/Au alloy is formed by a lift off (drawing 5 (d)).

[0041] The opening of the collector-electrode part is carried out covering PR mask finally, the collector electrode 20 which consists of nickel/AuGe/an Au alloy is formed by a lift off, and a device is completed (drawing 5 (e)).

[0042] Grow up the sub collector layer as for which more than  $1 \times 10^{18} \text{cm}^{-3}$  doped Si under the collector layer 12, and as an emitter cap layer, On  $n^+$ -GaAs layer 15, if  $n^+$ -InGaAs layer 17 as for which more than  $1 \times 10^{18} \text{cm}^{-3}$  doped Si is grown up, contact resistance can decrease and a device property can be raised further.

[0043] In this manufacturing method, if the presentation of a growing condition and each layer, thickness, doping concentration, the alloy further used for the kind of n type impurity, the combination of a p type impurity, and an electrode, etc. suit the purpose, there is all optionality.

[0044] Also in a process, not wet etching but dry etching may be used. If AlGaAs/GaAs selective etching is used when etching especially an emitter cap layer, emitter mesa Shigeru will become easy.

[0045] It is in other manufacturing methods of the heterojunction bipolar transistor of this invention, and while drawing 6 is shown, it explains. About the manufacturing method of the heterojunction bipolar transistor of this invention, it is the same as that of the method shown in drawing 4 of Example 1 as a growing method except using metal-organic chemical vapor deposition (MOVPE).

[0046] On the semi insulating GaAs substrate 10, use trimethylgallium (TMG) and an arsine ( $\text{AsH}_3$ ) first and with the substrate temperature of 600 \*\*. The buffer layer 31 (100 nm) which consists of i-GaAs, and the n-GaAs collector layer 32 (1000 nm) which did  $5 \times 10^{17} \text{cm}^{-3}$  doping of Si are grown up. Silang ( $\text{SiH}_4$ ) is used as Si dopant gas.

[0047] Then, p-GaAs base layer 33 (80 nm) is grown up, doping C:  $2 \times 10^{19} \text{cm}^{-3}$  and Zn:  $2 \times 10^{19} \text{cm}^{-3}$  simultaneously. The dopant gas of C and Zn is  $\text{CBr}_4$  and  $\text{ZnH}_2$ .

[0048] n-InGaP emitter layer 34 (100 nm) which furthermore  $3 \times 10^{17} \text{cm}^{-3}$ -doped Si is grown up using trimethylindium (TMI), TMG, and phosphine ( $\text{PH}_3$ ).

[0049] Subsequently,  $n^+$ -GaAs emitter cap layer 35 (100 nm) as for which more than  $5 \times 10^{18} \text{cm}^{-3}$  doped Si is grown up.

[0050] About the process after the formation process of this emitter cap layer, by the completely same method as Example 1, the collector electrode 40, the base electrode 41, and the emitter electrode 43 were formed, and the heterojunction bipolar transistor was produced.

[0051]

[Effect of the Invention]As explained above, in the heterojunction bipolar transistor, by doping combining an impurity with a large atomic radius, and a small impurity, the difference in a grating constant was offset and, according to this invention, distortion was able to be eased rather than the atom which constitutes a base layer. Therefore, the crystal defect by distortion was not generated but the high-reliability operation without degradation of a device property was attained.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]The composition sectional view of one embodiment of the heterojunction bipolar transistor of this invention is shown.

[Drawing 2]The composition sectional view of one embodiment of the heterojunction bipolar transistor of this invention is shown.

[Drawing 3]The composition sectional view of one embodiment of the heterojunction bipolar transistor of this invention is shown.

[Drawing 4]It is a process sectional view (process of the first half) showing one embodiment of the manufacturing method of the heterojunction bipolar transistor of this invention.

[Drawing 5]It is a process sectional view (process of the second half performed by continuing at drawing 4) showing one embodiment of the manufacturing method of the heterojunction bipolar transistor of this invention.

[Drawing 6]The composition sectional view of one embodiment of the heterojunction bipolar transistor of this invention is shown.

[Drawing 7]The tectonic profile of the conventional heterojunction bipolar transistor is shown.

[Description of Notations]

- 10 Semi insulating GaAs substrate
- 11 Buffer layer (i-GaAs or i-AlGaAs)
- 12 Collector layer (n-GaAs)
- 13 Base layer (p-GaAs)
- 14 Emitter layer (n-AlGaA or n-InGaP)
- 15 Emitter cap layer (n<sup>+</sup>-GaAs)
- 16 Sub collector layer (n-GaAs)
- 17 Emitter cap layer (n<sup>+</sup>-InGaAs)
- 20 Collector electrode (nickel/AuGe/Au alloy)
- 21 Base electrode (Ti/Pt/Au)
- 22 Emitter electrode (WSi)
- 23 Photoresist
- 31 Buffer layer (i-GaAs or i-AlGaAs)
- 32 Collector layer (n-GaAs)
- 33 Base layer (p-GaAs)
- 34 Emitter layer (n-AlGaA or n-InGaP)
- 40 Collector electrode (nickel/AuGe/Au alloy)
- 41 Base electrode (Ti/Pt/Au)
- 42 Emitter electrode (WSi)
- 50 Semi insulating GaAs substrate
- 51 Buffer layer (i-GaAs or i-AlGaAs)
- 52 Collector layer (n-GaAs)
- 53 Base layer (p-GaAs)
- 54 Emitter layer (n-AlGaA or n-InGaP)
- 55 Emitter cap layer (n<sup>+</sup>-GaAs)
- 56 Sub collector layer (n-GaAs)
- 60 Collector electrode (nickel/AuGe/Au alloy)
- 61 Base electrode (Ti/Pt/Au)
- 62 Emitter electrode (WSi)

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-323491

(P2000-323491A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

H 0 1 L 21/331

H 0 1 L 29/72

5 F 0 0 3

29/73

29/205

29/205

審査請求 有 請求項の数 6 O L (全 6 頁)

(21) 出願番号

特願平11-126123

(22) 出願日

平成11年5月6日 (1999. 5. 6)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 古畑 直規

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

Fターム (参考) 5F003 AP00 BA92 BF06 BH07 BH08

BW03 BP08 BP11 BP12 BP32

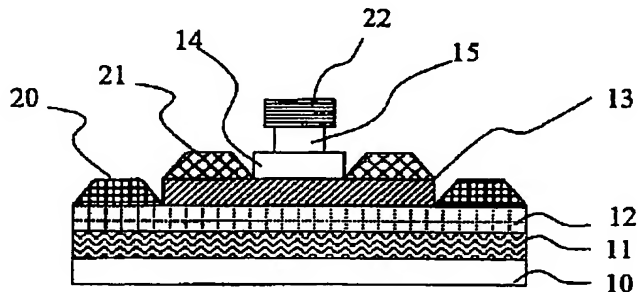
BP95 BS08

(54) 【発明の名称】 ヘテロ接合バイポーラトランジスタ及びその製造方法

(57) 【要約】

【課題】 本発明は、ヘテロ接合バイポーラトランジスタにおいて、高いデバイス特性を維持しつつ、しかも高信頼性動作が可能なデバイス構造と製造方法を提供することを目的とする。

【解決手段】 半導体基板10上に、III-V族化合物半導体で形成されたn型コレクタ層12、p型ベース層13、このp型ベース層13より禁制帯幅が大きいn型エミッタ層14を有するヘテロ接合バイポーラトランジスタであって、p型ベース層13に、III族またはV族のいずれにも該当しない原子から構成される不純物であって、p型ベース層13構成する原子よりも、原子半径が大きい不純物と小さい不純物がドーピングされているヘテロ接合バイポーラトランジスタ。





## 【特許請求の範囲】

【請求項1】 半導体基板上に、III-V族化合物半導体膜からなるn型コレクタ層、p型ベース層、該p型ベース層より禁制帯幅が大きいn型エミッタ層を有するヘテロ接合バイポーラトランジスタにおいて、前記p型ベース層のp型ドーパントとして、III族またはV族のいずれにも該当しない原子から構成される不純物であって、前記p型ベース層を構成する原子よりも、原子半径が大きい不純物と小さい不純物がドーピングされていることを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項2】 前記n型コレクタ層と前記半導体基板の間に、n型不純物が $1 \times 10^{18} \text{ cm}^{-3}$ 以上の濃度でドーピングされたサブコレクタ層が形成され、該サブコレクタ層上にコレクタ電極が形成されていることを特徴とする請求項1記載のヘテロ接合バイポーラトランジスタ。

【請求項3】 前記n型エミッタ層上に、エミッタ層より禁制帯幅が小さく、n型不純物が $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングされた化合物半導体で形成されるエミッタキャップ層を備え、該エミッタキャップ層上にエミッタ電極が形成されていることを特徴とする請求項1または2項記載のヘテロ接合バイポーラトランジスタ。

【請求項4】 半導体基板上に、III-V族化合物半導体を用いて、n型コレクタ層、p型ベース層、該p型ベース層より禁制帯幅が大きいn型エミッタ層を順次エピタキシャル成長させる工程を有するヘテロ接合バイポーラトランジスタの製造方法であって、前記p型ベース層を成長させる工程において、該p型ベース層を構成する原子よりも、原子半径が大きい不純物と小さい不純物をドーピングすることを特徴とするヘテロ接合バイポーラトランジスタの製造方法。

【請求項5】 前記半導体基板と、前記n型コレクタ層の間に、n型不純物が $1 \times 10^{18} \text{ cm}^{-3}$ 以上の濃度でドーピングされたサブコレクタ層をエピタキシャル成長させる工程を有することを特徴とする請求項4記載のヘテロ接合バイポーラトランジスタの製造方法。

【請求項6】 前記n型エミッタ層上に、エミッタ層より禁制帯幅が小さく、n型不純物が $1 \times 10^{18} \text{ cm}^{-3}$ 以上の濃度でドーピングされたエミッタキャップ層をエピタキシャル成長させる工程を有することを特徴とする第4または5項記載のヘテロ接合バイポーラトランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、ヘテロ接合バイポーラトランジスタ及びその製造方法に関し、特に高信頼性動作のためのヘテロ接合バイポーラトランジスタ及びその製造方法に関する。

## 【0002】

【従来の技術】 III-V族化合物半導体を用いたヘテロ接合バイポーラトランジスタ(以下HBTとする)は、優

れた高周波特性と高い電流駆動能力から、移動体通信機器や光通信システムの高周波素子や高出力素子への応用が有望視され、すでに一部実用化されている。実用化に際しては、信頼性の向上が重要であり、HBTにおいても従来から、信頼性に関する研究が活発に行われてきた。

【0003】 HBTにおける信頼性の劣化は、高温通電試験中に電流増幅率の低下という現象で現れ、多くの場合ベース電流の増加が見られる。この原因として、ベース層中のp型ドーパントの拡散や、ベース表面の再結合電流の増加、さらにベース層における欠陥形成等が、考えられる。そこで最近では、ベースドーパントを、拡散しやすいベリリウムBeから、拡散係数の小さいカーボンCに転換したり、エミッタ端を棚状にベース面に張り出し、ベース面の露出を小さくするような、ヘテロガードリングを設けるのが一般的である。

【0004】 このような対策により、HBTの信頼性はかなり改善したが、たとえばパワーデバイスで用いるような大電流を流した場合には、やはり素子の劣化が起きる。

【0005】 この主な原因は不純物の拡散ではなく、以下の文献に記載されているように、ベース層に高濃度に不純物がドーピングされているため、原子半径の違いからベース層中に歪が生じ、転位のような欠陥が発生し、そこが再結合中心になっていると考えられる(アイ、ディ、イー、エム1995 テクニカルダイジェスト811頁; T.ヘンダーソン: IEDM 1995, Technical Digest p811; T. Henderson)。

【0006】 例えばGaAsベース層では、p型ドーパントとしてBeやCが用いられるが、これらはGaやAsよりも原子半径が小さく、その分、格子が小さくなる。この歪を緩和するため、特開平05-299432または特開平06-037105に開示されているように、ベース層中にGaやAsより原子半径の大きいIII-V族元素を添加する方法が試みられている。

【0007】 図6は、上記のような従来法により形成されたヘテロ接合バイポーラトランジスタの構造を模式的に示したものである。半絶縁性GaAs基板50上に、バッファ層51、サブコレクタ層(n-GaAs) 56、コレクタ層(n-GaAs) 52、ベース層(p-GaAs) 53、エミッタ層(n-AlGaAsまたはn-InGaP) 54、エミッタキャップ層(n-GaAs) 55が順次形成され、エミッタキャップ層(n-GaAs) 55上には、エミッタ電極(WSi) 62が、コレクタ層(n-GaAs) 52上には、コレクタ電極(Ni/AuGe/Au合金) 60が、ベース層(p-GaAs) 53上には、ベース電極(Ti/Pt/Au) 61がそれぞれ形成されている。

【0008】 ここで、ベース層(p-GaAs) 53には、GaやAsより原子半径の大きいIn、Sbが添加されており、これにより歪みを緩和している。

## 【0009】

10

20

30

40

50

【発明が解決しようとする課題】前述したベース層中にGaやAsより原子半径の大きいInやSbを添加する方法は、格子緩和という点では有効であるが、InやSbはIII-V族化合物半導体を構成する原子であるために、GaAsに添加した場合、部分的にInAsやGaSbを形成する。

【0010】これらの化合物は、GaAsより禁制帯幅が小さく、GaAsのバンド構造自体も変化する。そのため、ON電圧が変わったり、コレクタ側とのバンドギャップが大きくなり、電子の走行特性が悪くなるという問題が生じる。

【0011】本発明の目的は、上記課題に鑑み、高信頼性を維持し、しかもデバイス特性が劣化しないようなヘテロ接合バイポーラトランジスタを提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、半導体基板上に、III-V族化合物半導体膜からなるn型コレクタ層、p型ベース層、該p型ベース層より禁制帯幅が大きいn型エミッタ層を有するヘテロ接合バイポーラトランジスタにおいて、前記p型ベース層のp型ドーパントとして、III族またはV族のいずれにも該当しない原子から構成される不純物であって、前記p型ベース層を構成する原子よりも、原子半径が大きい不純物と小さい不純物がドーピングされていることを特徴とするヘテロ接合バイポーラトランジスタに関する。

【0013】また前記ヘテロ接合バイポーラトランジスタにおいて、前記n型コレクタ層と前記半導体基板の間に、n型不純物が $1 \times 10^{18} \text{ cm}^{-3}$ 以上の濃度でドーピングされたサブコレクタ層が形成され、該サブコレクタ層上にコレクタ電極が形成されていることが好ましい。

【0014】さらに、前記ヘテロ接合バイポーラトランジスタにおいて、前記n型エミッタ層上に、エミッタ層より禁制帯幅が小さく、n型不純物が $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングされた化合物半導体で形成されるエミッタキャップ層を備え、該エミッタキャップ層上にエミッタ電極が形成されていることが好ましい。

【0015】また本発明は、半導体基板上に、III-V族化合物半導体を用いて、n型コレクタ層、p型ベース層、該p型ベース層より禁制帯幅が大きいn型エミッタ層を順次エピタキシャル成長させる工程を有するヘテロ接合バイポーラトランジスタの製造方法であって、前記p型ベース層を成長させる工程において、該p型ベース層を構成する原子よりも、原子半径が大きい不純物と小さい不純物をドーピングすることを特徴とするヘテロ接合バイポーラトランジスタの製造方法に関する。

【0016】本発明によれば、GaAsベース層を例にとると、p型ドーパントとして、GaやAsより原子半径が大きい不純物と小さい不純物を組み合わせて添加することにより、格子定数の違いが相殺され、歪を緩和することができる。従って、歪による結晶欠陥は発生せず、高信頼性

動作が可能になる。

【0017】しかも、これらの不純物はIII-V族化合物半導体を構成するものではないので、GaAsのバンド構造に大きな影響を与えることはない。その上、どちらの不純物もp型ドーパントとして作用するので、デバイス特性が劣化することはない。

【0018】

【発明の実施の形態】本発明の上記目的、特徴および利点を明確にすべく、添付した図面を参照しながら、本発明の実施形態を以下に詳述する。

【0019】なお、本発明は、以下の実施形態に限定されことなく、本発明の技術思想の範囲内において、各実施例は適宜変更され得る。

【0020】図1に、本発明のヘテロ接合バイポーラトランジスタの一実施形態の構成断面図を示す。

【0021】同図において、半絶縁性GaAs基板10上に、i-GaAsもしくはi-AlGaAsからなるバッファ層11(100nm)が形成されており、このバッファ層11上にSiを $5 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn-GaAsコレクタ層12(1000nm)が形成されている。コレクタ層12上に、C(原子半径： $0.77 \text{ \AA}$ ) $2 \times 10^{19} \text{ cm}^{-3}$ とMg(原子半径： $1.40 \text{ \AA}$ ) $2 \times 10^{19} \text{ cm}^{-3}$ をドーピングしたp-GaAsベース層13(80nm)が形成されている。なおGa、Asの原子半径は、それぞれ $1.26 \text{ \AA}$ 、 $1.18 \text{ \AA}$ であり、Mgがベース層13を構成する原子よりも原子半径が大きい不純物、Cが原子半径が小さい不純物として、ベース層13にドーピングされている。

【0022】ここで、原子半径が大きい不純物と原子半径が小さい不純物のドーピング比は、上記例では、原子半径が大きい不純物：原子半径が小さい不純物=1：1であるが、所望のトランジスタの特性に応じて適宜決めることができる。通常の場合は、原子半径が大きい不純物：原子半径が小さい不純物=30：70～70：30の範囲が、適当である。

【0023】また、原子半径が大きい不純物が大きい不純物複数と、小さい不純物複数の組み合わせも可能である。

【0024】ベース層13上には、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn-AlGaAsもしくはn-InGaPエミッタ層14(100nm)が形成されている。エミッタ層14上には、エミッタ電極をとるために、エミッタ層14よりも禁制帯幅が小さく、Siを高濃度( $1 \times 10^{18} \text{ cm}^{-3}$ 以上)にドーピングしたn-GaAsエミッタキャップ層15(100nm)が形成されている。Siの濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上が好ましい。

【0025】さらにコレクタ層12上にNi/AuGe/Au合金からなるコレクタ電極20、ベース層13上にTi/Pt/Au合金からなるベース電極21、エミッタキャップ層15上にWSiからなるエミッタ電極22が、それぞれ形成されている。

【0026】図1に示したヘテロ接合バイポーラトランジスタを、コレクタ電圧3V、コレクタ電流密度 $2 \times 10^4 \text{ A/cm}^2$ 、ジャンクション温度200℃の条件下で信頼性試験を行

ったところ、連続1000時間、デバイス特性が変化することとはなかった。またベース抵抗は、 $50\Omega$ と低い値を示し、高周波特性として、最高発振周波数( $f_{max}$ )が200GHz以上を示した。

【0027】このように、ベース層に、その層を構成する原子よりも、原子半径が大きい不純物と原子半径が小さい不純物をドーピングすることにより、格子定数の違いによる歪が緩和され、上記のような高信頼性を得ることができた。また、ドーピングした不純物は、III-V族化合物半導体を構成する元素ではないので、ドーピングによりON電圧が変化したり、また電子の走行特性が悪化したりすることはない。

【0028】図1に示したヘテロ接合バイポーラトランジスタの層構成以外に、半導体基板とコレクタ層の間に、n型不純物を高濃度にドーピングしたサブコレクタ層を設けることができる。

【0029】図2に、サブコレクタ層を設けたヘテロ接合バイポーラトランジスタの構成断面図を示す。同図は、コレクタ層の下にSiを $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングしたn-GaAsサブコレクタ層16を設け、コレクタ電極20をサブコレクタ層16上に設けた以外は図1と全く同一の層構成をとるが、このような構造を採用することにより、コレクタ抵抗を低減でき、さらにデバイス特性を向上することができる。

【0030】図2のヘテロ接合バイポーラトランジスタに対して、エミッタ抵抗をさらに低減させることも可能である。図3に示す構造は、このような目的のために、エミッタキャップ層としてn<sup>+</sup>-GaAsだけでなく、Siを $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングしたn<sup>+</sup>-InGaAs層17を設けたものである。それ以外の層構成は、図2の構造と全く同様である。InGaAsはGaAsより禁制帯幅がさらに狭く、高濃度ドーピングが可能で、このような層構成をとることにより、エミッタ抵抗をさらに低減でき、デバイス特性を向上できる。またエミッタ電極とのノンアロイオーミックをとることもできる。

【0031】なお上記実施の形態において、GaAs、InGaAs、AlGaAs、InGaPの膜厚、ドーピング濃度、組成は、本構造の目的に適合するものならば、任意である。

【0032】またn型不純物としてSi、p型不純物として、C、Mgの組み合わせを用いているが、n型不純物として例えば、Se、Snが使用可能であり、p型不純物として、CとZn、BeとMg等の組み合わせもあり、本発明の主旨に適合するものは、すべて使用可能である。

【0033】さらに、基板としてGaAsだけでなく、Siを用いても良い。

【0034】また電極に用いる合金も、その目的に適合するものならば、すべて使用可能である。

【0035】次に、本発明のヘテロ接合バイポーラトランジスタの製造方法について、実施例を示しながら詳述する。

【0036】本発明のヘテロ接合バイポーラトランジスタの製造方法について、図4及び図5を用いて説明する。同図において、半絶縁性GaAs基板10上に、分子線エピタキシ法(MBE)を用いて基板温度600℃で、i-GaAsからなるバッファ層11(100nm)、Siを $5 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn-GaAsコレクタ層12(1000nm)を成長させる。

【0037】続いて、Be： $2 \times 10^{19} \text{ cm}^{-3}$ とMg： $2 \times 10^{19} \text{ cm}^{-3}$ を同時にドーピングしながらp-GaAsベース層13(80nm)を成長させる。さらにSiを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn-AlGaAsエミッタ層14(100nm)、Siを $5 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングしたn<sup>+</sup>-GaAsエミッタキャップ層15(100nm)を、この順で成長させる(図4(a))。

【0038】次にWSiからなるエミッタ電極22をスパッタで形成し、フォトリソ(PR)23でマスクして、ドライエッチングで加工する。さらにウェットエッチングを用いて、n<sup>+</sup>-GaAsエミッタキャップ層15とn-AlGaAsエミッタ層14をエッチングする。この時、エミッタ層を40nmだけ残す(図4(b))。

【0039】次いでフォトリソ(PR)24でマスクし、不要ベース層をウェットエッチングして、コレクタ層12を露出させる(図4(c))。

【0040】次にベース電極部のみ開口して、この開口部におけるエミッタ層14をエッチング除去し、ベース層13を露出させる。このベース層13の露出した部分に、Ti/Pt/Au合金からなるベース電極21をリフトオフにより形成する(図5(d))。

【0041】最後にPRマスクをかけて、コレクタ電極部を開口し、Ni/AuGe/Au合金からなるコレクタ電極20をリフトオフにより形成して、デバイスを完成させる(図5(e))。

【0042】なおコレクタ層12の下にSiを $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングしたサブコレクタ層を成長し、またエミッタキャップ層として、n<sup>+</sup>-GaAs層15上に、Siを $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングしたn<sup>+</sup>-InGaAs層17を成長させると、コンタクト抵抗が低減し、デバイス特性をさらに向上させることができる。

【0043】本製造方法において、成長条件、それぞれの層の組成、膜厚、ドーピング濃度、さらにn型不純物の種類、p型不純物の組み合わせ、電極に用いる合金等も、その目的に適合するものならば、すべて任意性がある。

【0044】またプロセスにおいても、ウェットエッチングではなく、ドライエッチングを用いてもよい。特にエミッタキャップ層をエッチングする際に、AlGaAs/GaAs選択エッチングを用いると、エミッタメサ形成が容易になる。

【0045】本発明のヘテロ接合バイポーラトランジスタの他の製造方法について、図6を示しながら説明する。本発明のヘテロ接合バイポーラトランジスタの製造方法については、成長方法として、有機金属気相成長法(MOV

PE)を用いる以外は、実施例1の図4に示した方法と同様である。

【0046】半絶縁性GaAs基板10上に、まずトリメチルガリウム(TM<sub>G</sub>)とアルシン(AsH<sub>3</sub>)を用いて基板温度600℃で、i-GaAsからなるバッファ層31(100nm)、Siを $5 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn-GaAsコレクタ層32(1000nm)を成長させる。Siドーパントガスとしてはシラン(SiH<sub>4</sub>)を用いる。

【0047】引き続き、C:  $2 \times 10^{19} \text{ cm}^{-3}$  とZn:  $2 \times 10^{19} \text{ cm}^{-3}$  を同時にドーピングしながらp-GaAsベース層33(80nm)を成長させる。C、Znのドーパントガスは、CBr<sub>4</sub> とZnH<sub>2</sub> である。

【0048】さらにSiを $3 \times 10^{17} \text{ cm}^{-3}$  ドーピングしたn-InGaPエミッタ層34(100nm)をトリメチルインジウム(TM<sub>I</sub>)、TM<sub>G</sub>、ホスフィン(PH<sub>3</sub>)を用いて成長させる。

【0049】次いで、Siを $5 \times 10^{18} \text{ cm}^{-3}$  以上ドーピングしたn-GaAsエミッタキャップ層35(100nm)を成長させる。

【0050】このエミッタキャップ層の形成工程以降の工程については、実施例1と全く同様な方法により、コレクタ電極40、ベース電極41、エミッタ電極43を形成し、ヘテロ接合バイポーラトランジスタを作製した。

【0051】

【発明の効果】以上説明したように、本発明によれば、ヘテロ接合バイポーラトランジスタにおいて、ベース層を構成する原子よりも、原子半径の大きい不純物と、小さい不純物を組み合わせてドーピングすることにより、格子定数の違いが相殺され、歪を緩和することができた。従って、歪による結晶欠陥は発生せず、デバイス特性の劣化のない高信頼性動作が可能になった。

【図面の簡単な説明】

【図1】本発明のヘテロ接合バイポーラトランジスタの一実施形態の構成断面図を示す。

【図2】本発明のヘテロ接合バイポーラトランジスタの一実施形態の構成断面図を示す。

【図3】本発明のヘテロ接合バイポーラトランジスタの一実施形態の構成断面図を示す。

【図4】本発明のヘテロ接合バイポーラトランジスタの製造方法の一実施形態を示す工程断面図(前半の工程)\*

\*である。

【図5】本発明のヘテロ接合バイポーラトランジスタの製造方法の一実施形態を示す工程断面図(図4に引き続いて行われる後半の工程)である。

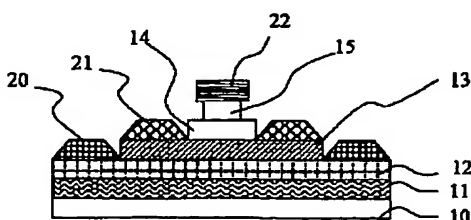
【図6】本発明のヘテロ接合バイポーラトランジスタの一実施形態の構成断面図を示す。

【図7】従来のヘテロ接合バイポーラトランジスタの構造断面図を示す。

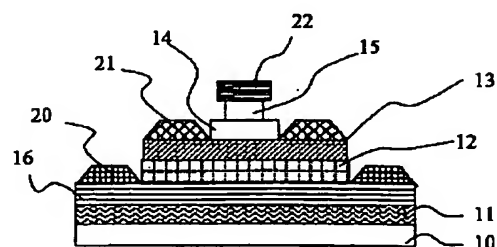
【符号の説明】

- |    |                                    |
|----|------------------------------------|
| 10 | 半絶縁性GaAs基板                         |
| 11 | バッファ層 (i-GaAs又はi-AlGaAs)           |
| 12 | コレクタ層 (n-GaAs)                     |
| 13 | ベース層 (p-GaAs)                      |
| 14 | エミッタ層 (n-AlGaAs又はn-InGaP)          |
| 15 | エミッタキャップ層 (n <sup>+</sup> -GaAs)   |
| 16 | サブコレクタ層 (n-GaAs)                   |
| 17 | エミッタキャップ層 (n <sup>+</sup> -InGaAs) |
| 20 | コレクタ電極 (Ni/AuGe/Au合金)              |
| 21 | ベース電極 (Ti/Pt/Au)                   |
| 22 | エミッタ電極 (WSi)                       |
| 23 | フォトレジスト                            |
| 31 | バッファ層 (i-GaAs又はi-AlGaAs)           |
| 32 | コレクタ層 (n-GaAs)                     |
| 33 | ベース層 (p-GaAs)                      |
| 34 | エミッタ層 (n-AlGaAs又はn-InGaP)          |
| 40 | コレクタ電極 (Ni/AuGe/Au合金)              |
| 41 | ベース電極 (Ti/Pt/Au)                   |
| 42 | エミッタ電極 (WSi)                       |
| 50 | 半絶縁性GaAs基板                         |
| 51 | バッファ層 (i-GaAs又はi-AlGaAs)           |
| 52 | コレクタ層 (n-GaAs)                     |
| 53 | ベース層 (p-GaAs)                      |
| 54 | エミッタ層 (n-AlGaAs又はn-InGaP)          |
| 55 | エミッタキャップ層 (n <sup>+</sup> -GaAs)   |
| 56 | サブコレクタ層 (n-GaAs)                   |
| 60 | コレクタ電極 (Ni/AuGe/Au合金)              |
| 61 | ベース電極 (Ti/Pt/Au)                   |
| 62 | エミッタ電極 (WSi)                       |

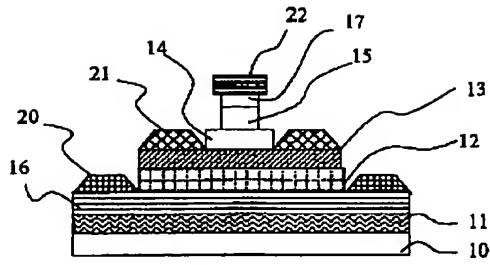
【図1】



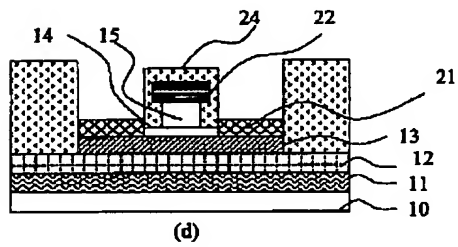
【図2】



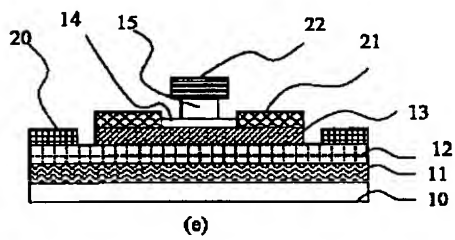
【図 3】



【図 5】

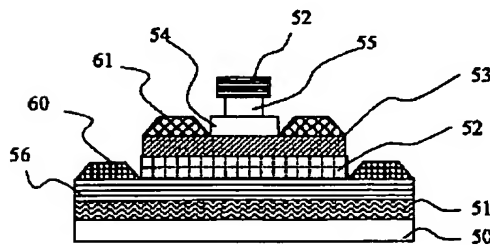


(d)

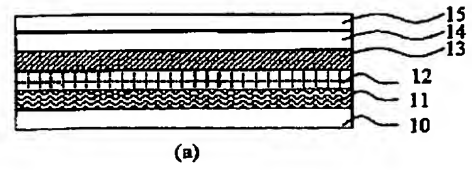


(e)

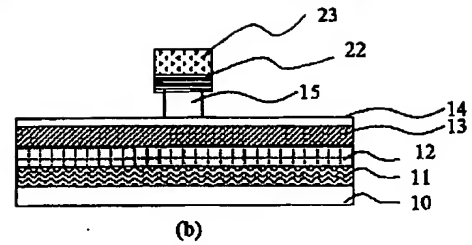
【図 7】



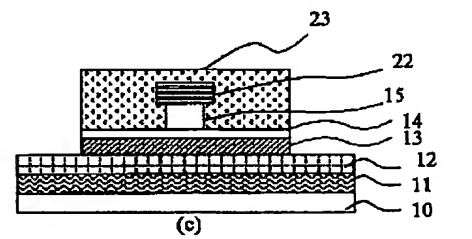
【図 4】



(a)



(b)



(c)

【図 6】

